

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-108318

(43)Date of publication of application : 20.04.1990

(51)Int.Cl.

H03H 17/02

(21)Application number : 63-261784

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 18.10.1988

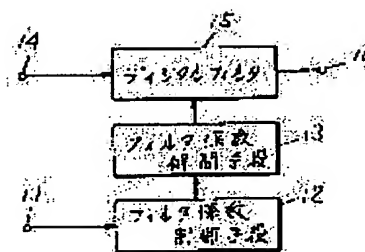
(72)Inventor : MURAKI KENJI

(54) DIGITAL SIGNAL PROCESSOR

(57)Abstract:

PURPOSE: To gradually change the coefficients of respective filters and to reduce a gap generated in an output digital signal by supplying the filter coefficient which interpolates between the current filter coefficient and the new filter coefficient to the digital filter.

CONSTITUTION: When a control signal is inputted from a control signal input terminal 11, a filter coefficient control means 12 changes the filter coefficient according to the control signal. Based on the current filter coefficient and the new filter coefficient outputted by the means 11, a filter coefficient interpolating means 13 continuously and successively outputs the filter coefficients at every prescribed time, and interpolates the section between the coefficients. On the other hand, the digital signal inputted from a digital signal input terminal 14 is processed by a digital filter 15, and outputted from a digital signal output terminal 16. Thus, the coefficients of the respective filters are gradually changed, and the gap generated in the output digital signal is reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-108318

⑤ Int. Cl.⁵

H 03 H 17/02

識別記号

L

庁内整理番号

8837-5J

⑬ 公開 平成2年(1990)4月20日

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 デジタル信号処理装置

⑯ 特 願 昭63-261784

⑰ 出 願 昭63(1988)10月18日

⑱ 発 明 者 村 木 健 司 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
⑳ 代 理 人 弁理士 栗 野 重 孝 外 1 名

明 細 書

1. 発明の名称

デジタル信号処理装置

2. 特許請求の範囲

制御信号に応じてフィルタ係数を制御するフィルタ係数制御手段と、現在のフィルタ係数と前記フィルタ係数制御手段が出力する新しいフィルタ係数との間を補間して順に出力するフィルタ係数補間手段と、前記フィルタ係数補間手段が出力するフィルタ係数によりデジタル信号を処理するデジタルフィルタとを具備することを特徴とするデジタル信号処理装置。

3. 発明の詳細な説明

産業上の利用分野

本発明は、オーディオ信号の処理を行なうデジタル信号処理装置に関するものである。

従来の技術

近年デジタル信号を入出力することができるCDプレーヤ・DAT等のオーディオ機器が普及してきている。これらの機器の普及にともない、

デジタル信号処理により音質調整を行なう機能を備えたデジタル信号処理装置が開発されている。従来の技術としては、たとえば、特公昭63-18367号公報に示されている可変デジタルフィルタがある。

以下、図面を参照しながら従来のデジタル信号処理装置について説明する。

第5図は、従来のデジタル信号処理装置の構成を示すブロック図である。第5図において、41は制御信号入力端子、42は制御信号に応じてフィルタ係数を制御するフィルタ係数制御手段、43はデジタル信号入力端子、44はデジタル信号を処理するデジタルフィルタ、45はデジタル信号出力端子である。

また、デジタルフィルタ44は、たとえば、第8図に示す構成のフィルタを用いる。第8図において、501はデジタル信号入力端子、502は入力信号とフィルタ係数aとの乗算を行なう乗算器、503は入力信号を1サンプル遅延させる遅延器、504は遅延器503の出力とフィル

特開平2-108318(2)

タ係数bとの乗算を行なう乗算器、505は遅延器503の出力を1サンプル遅延させる遅延器、506は遅延器505の出力とフィルタ係数cとの乗算を行なう乗算器、507は乗算器502、乗算器504、乗算器506、乗算器508、乗算器511の出力を加算する加算器、508は加算器507の出力を1サンプル遅延させる遅延器、509は遅延器508の出力とフィルタ係数dとの乗算を行なう乗算器、510は遅延器509の出力を1サンプル遅延させる遅延器、511は遅延器510の出力とフィルタ係数eとの乗算を行なう乗算器、512はデジタル信号出力端子である。

以上のように構成された従来のデジタル信号処理装置について、以下その動作について説明する。

まず、制御信号入力端子41から制御信号が入力される。フィルタ係数制御手段はこの制御信号に応じて新しいフィルタ係数を出力する。一方、デジタル信号入力端子43から入力されたデ

ジタル信号は、デジタルフィルタ44で処理されて、デジタル信号出力端子45から出力される。

ところで、第8図に示すデジタルフィルタの伝達関数 $H(z)$ は(1)式で表わされる。

$$H(z) = \frac{a + bz^{-1} + cz^{-2}}{1 - dz^{-1} - ez^{-2}} \quad \dots (1)$$

ここで、フィルタ係数 $a \sim e$ を(2)式～(8)式に示すように与えればデジタルフィルタ44はパラメトリックイコライザとなる。

$$a = \left\{ 1 + \frac{\pi \cdot f_c}{f_s \cdot Q} (1 + K) + \left(\frac{\pi \cdot f_c}{f_s} \right)^2 \right\} / S \quad \dots (2)$$

$$b = \left[-2 \left\{ 1 - \left(\frac{\pi \cdot f_c}{f_s} \right)^2 \right\} \right] / S \quad \dots (3)$$

$$c = \left\{ 1 - \frac{\pi \cdot f_c}{f_s \cdot Q} (1 + K) + \left(\frac{\pi \cdot f_c}{f_s} \right)^2 \right\} / S \quad \dots (4)$$

$$d = 2 \left\{ 1 - \left(\frac{\pi \cdot f_c}{f_s} \right)^2 \right\} / S \quad \dots (5)$$

$$e = \left\{ -1 + \frac{\pi \cdot f_c}{f_s \cdot Q} - \left(\frac{\pi \cdot f_c}{f_s} \right)^2 \right\} / S \quad \dots (6)$$

$$S = \left\{ 1 + \frac{\pi \cdot f_c}{f_s \cdot Q} + \left(\frac{\pi \cdot f_c}{f_s} \right)^2 \right\} \quad \dots (7)$$

$$f_s = \frac{f_c}{\pi} \tan \frac{\pi \cdot f_c}{f_s} \quad \dots (8)$$

ただし、 f_s はデジタル信号のサンプリング周波数、 f_c はイコライザの中心周波数、 Q は共振の鋭さである。また、 K はイコライザの中心周波数でのゲインを G [dB] ($G > 0$) とした時に(9)式により与えられる。

$$K = 10^{G/20} - 1 \quad \dots (9)$$

$G < 0$ のときは、伝達関数を $1/H(z)$ としてフィルタ係数を分母の定数項が1になるように正規化すればよい。

デジタル信号処理装置をハードウェアで実現する場合に、フィルタ係数制御手段としてマイクロコンピュータを利用することが多い。この場合、フィルタ係数を(2)式～(8)式から計算するプロ

グラムは量が多く、さらに、十分な精度のフィルタ係数を得るには計算語長を長くしなければいけない。このため、中心周波数、共振の鋭さ、中心周波数でのゲインなどをパラメータとしてあらかじめ計算したフィルタ係数の表を用いてフィルタ係数を制御することが多い。

発明が解決しようとする課題

しかしながら上記の構成では、フィルタ係数が変化した直後にデジタルフィルタの特性が新しく設定したパラメータの特性に急に変わり、出力デジタル信号に大きなギャップを生じることがある。このデジタル信号をDA変換した時にはショック音が発生するという問題点がある。

課題を解決するための手段

上記課題を解決するために本発明のデジタル信号処理装置は、制御信号に応じてフィルタ係数を制御するフィルタ係数制御手段と、現在のフィルタ係数と前記フィルタ係数制御手段が出力する新しいフィルタ係数との間を補間して順に出力するフィルタ係数補間手段と前記フィルタ係数補間

特開平2-108318(3)

手段が出力するフィルタ係数によりデジタル信号を処理するデジタルフィルタとを具備するとを特徴とするものである。

作用

本発明のデジタル信号処理装置は、フィルタ係数補間手段により現在のフィルタ係数とフィルタ係数制御手段が出力する新しいフィルタ係数との間を補間するフィルタ係数をデジタルフィルタに供給することにより、デジタルフィルタの特性を変化させる際に各フィルタ係数が徐々に変化することとなる。従って係数を変化させても、出力デジタル信号に生じるギャップが小さくなる。

実施例

以下、図面を参照しながら、本発明のデジタル信号処理装置について説明する。

第1図は、本発明のデジタル信号処理装置の構成を示すブロック図である。第1図において、11は制御信号入力端子、12は制御信号に応じてフィルタ係数を制御するフィルタ係数制御手段、

する。

まず、制御信号入力端子11から制御信号が入力される。フィルタ係数制御手段12はこの制御信号に応じてフィルタ係数を変化させる。フィルタ係数補間手段13は現在のフィルタ係数とフィルタ係数制御手段12が出力する新しいフィルタ係数との間を補間して順に出力する。一方、デジタル信号入力端子14から入力されたデジタル信号は、デジタルフィルタ15で処理されて、デジタル信号出力端子16から出力される。

ここで、フィルタ係数の補間方法について説明する。第6図に示したデジタルフィルタによりパラメトリックイコライザを実現するには、フィルタ係数を(2)式～(8)式のように決める。第2図、第3図にデジタルフィルタ15のパラメータとフィルタ係数との関係の一例を示す。第2図(a)、(b)は共振の鋭さQを1に固定、中心周波数をパラメータ(1kHz～10kHz, 1/3 Octステップ)とし、横軸を中心周波数でのゲイン(-10dB～10dB)、縦軸をフィルタ係数の値とした図である。第

13は現在のフィルタ係数とフィルタ係数制御手段12が出力する新しいフィルタ係数との間を補間して順に出力するフィルタ係数補間手段、14はデジタル信号入力端子、15はデジタル信号を処理するデジタルフィルタ、16はデジタル信号出力端子である。

ここでフィルタ係数制御手段11及びフィルタ係数補間手段13は例えばマイクロコンピュータによって実現され、制御信号入力端子より与えられた入力信号に基づいてフィルタ係数をフィルタ係数補間手段13に出力するものである。フィルタ係数補間手段13は後述するように現在のフィルタ係数と新しいフィルタ係数とに基づいて所定時間毎に連続してフィルタ係数を出力することによって補間を行うものである。

また、デジタルフィルタ15は、たとえば、従来例と同じく、第5図に示す構成のフィルタを用いる。

以上のように構成された本発明のデジタル信号処理装置について、以下その動作について説明

3図は共振の鋭さQを1に固定、中心周波数でのゲインをパラメータ(-10dB～10dB, 1dBステップ)とし、横軸を中心周波数(1kHz～10kHz)、縦軸をフィルタ係数の値とした図である。第2図、第3図(a)～(e)は第5図のフィルタ係数a～eに対応する。第2図、第3図(a)～(e)からわかるように、フィルタ係数とパラメータの関係は隣合うパラメータ間では1次関数で近似できる。そこで、1次関数の傾きに合わせて、現在のフィルタ係数とフィルタ係数制御手段12が出力する新しいフィルタ係数との間を補間すればよい。すなわち、たとえば第2図のように中心周波数でのゲインを変化させる場合には、第4図に示すようにまず現在のフィルタ係数をa、新しいフィルタ係数b、フィルタ係数の傾きをc、ゲインの変化幅を分割した変化幅をdとし(ステップ21)、ステップ22、23に進んでレジスタyに現在のフィルタ係数aを設定し、レジスタyの値にcとdを乗じた値を加算してyとする。そしてステップ24に進んでcの傾きにに応じてyとbを比較し、

特開平2-108318(4)

係数 c が正であれば補間した係数値 y が新しい係数値 b に達しているかどうかを判別する。そしてこの値に達していなければステップ 25 からステップ 28 に進んで y を補間値としてデジタルフィルタ 15 に出力し、新たな係数値 b を越えていれば b をデジタルフィルタに出力して処理を終了する (ステップ 27)。また係数 c が負である場合には演算した値 y が b 以下となったかどうかをチェックし、 b に達していなければステップ 28 に進み、 b 以下であればステップ 27 に進んで処理を終える。このように補間値が新しいフィルタ係数に達するまで第 4 図に示す処理を繰り返すことによって係数を補間することができる。

1 次関数の傾きは同一の 1 次関数で近似できる区間に対しその区間の代表値を使える。つまり第 2 図、第 3 図の曲線群を折れ線で近似できる。たとえば、第 2 図 (a) に示す中心周波数でのゲインを変数とした場合には、フィルタ係数 a は (-10 dB ~ -5 dB)、(-5 dB ~ 0 dB)、(0 dB ~ 5 dB)、(5 dB ~ 10 dB)、の 4 つの区間にまとめられる。同様にフ

ィルタ係数 $b \sim e$ も 2 ~ 3 の区間にまとめられる。この場合フィルタ係数を固定小数点 12 ビット、傾きを固定小数点 8 ビットで表わす場合には、共振の鋭さ Q を 1 に固定、中心周波数 500 Hz ~ 10 kHz、 $1/3$ オクターブステップ、中心周波数でのゲイン -10 ~ 10 dB、1 dB ステップの範囲で横足できる補間が実現できる。

発明の効果

以上のように、本発明のデジタル信号処理装置はフィルタ係数補間手段により現在のフィルタ係数とフィルタ係数制御手段が出力する新しいフィルタ係数との間を補間してデジタルフィルタに与えているため、デジタルフィルタの特性の大幅な変化がなくなり、その出力を A/D 変換してアナログ信号としてもショック音が発生することがなくなるといふ効果が得られる。

4. 図面の簡単な説明

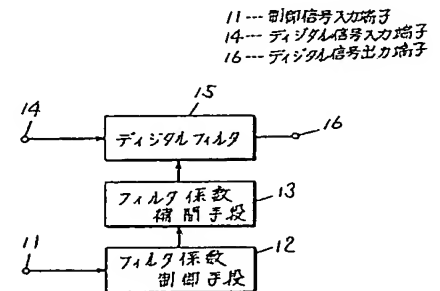
第 1 図は本発明のデジタル信号処理装置の構成を示すブロック図、第 2 図、第 3 図はデジタルフィルタのパラメータとフィルタ係数との関係

を示す図、第 4 図は本発明の一実施例によるフィルタ係数の補間機能を達成するマイクロコンピュータの動作を示すフローチャート、第 5 図は従来のデジタル信号処理装置の構成を示すブロック図、第 6 図はデジタルフィルタの構成例を示すブロック図である。

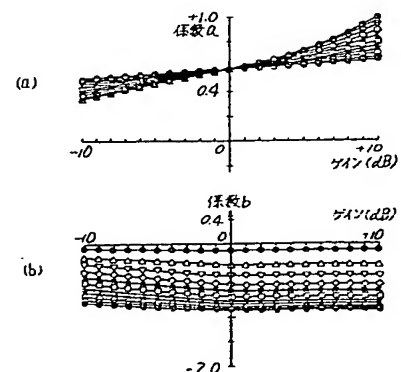
11、41…制御信号入力端子、12、42…フィルタ係数制御手段、13…フィルタ係数補間手段、14、43、501…デジタル信号入力端子、15、44…デジタルフィルタ、16、45、512…デジタル信号出力端子、502、504、506、509、511…乗算器、503、505、508、510…遅延器、507…加算器。

代理人の氏名 弁理士 栗野 重孝 はか 1 名

第 1 図

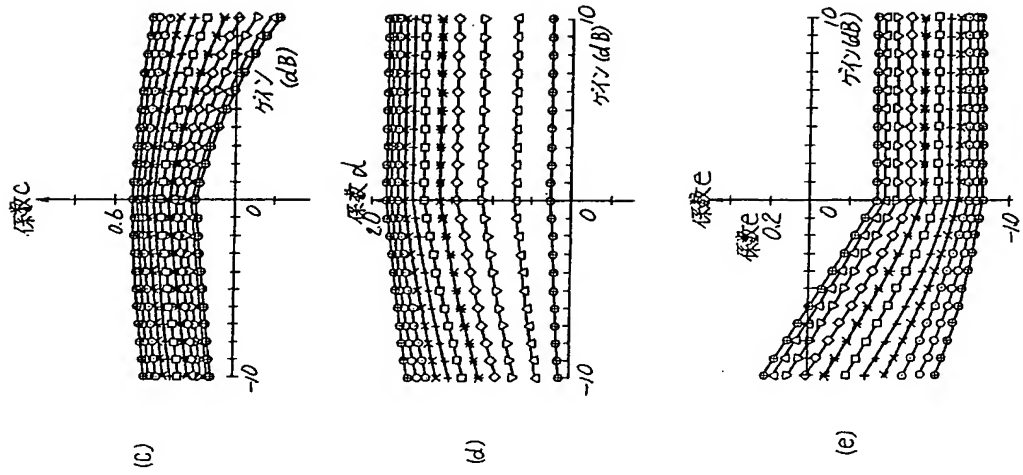


第 2 図

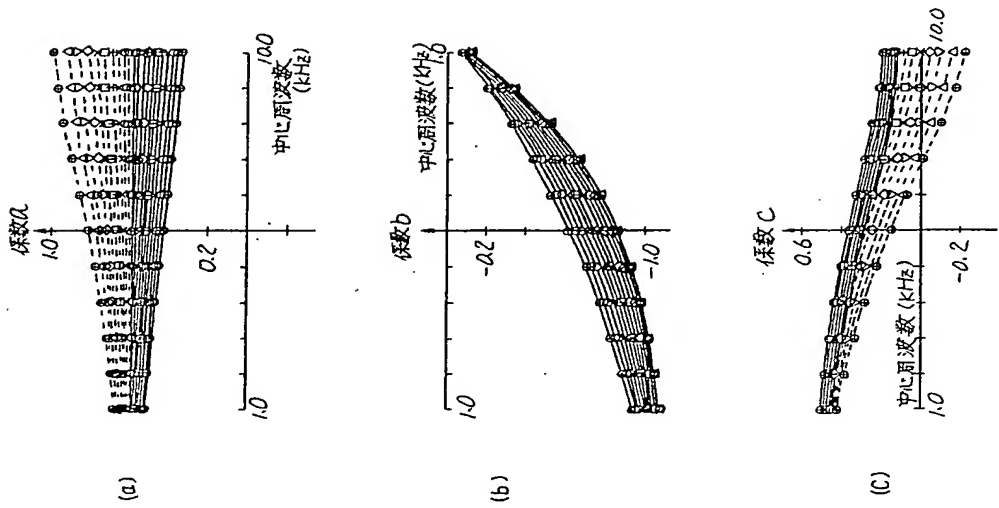


特開平2-108318(5)

第2図

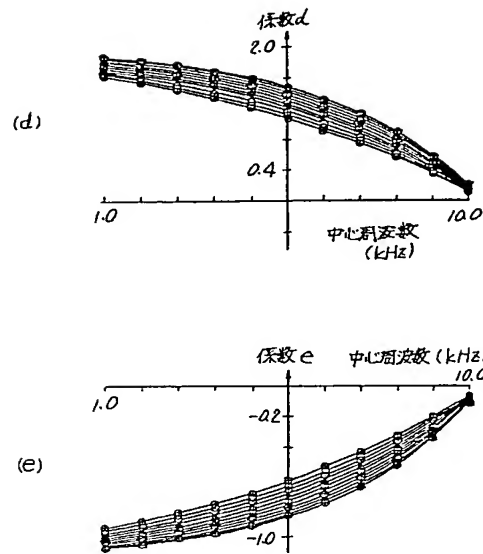


第3図

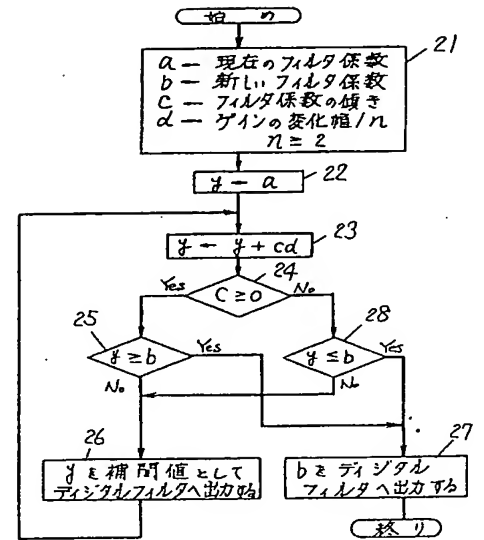


特開平2-108318(6)

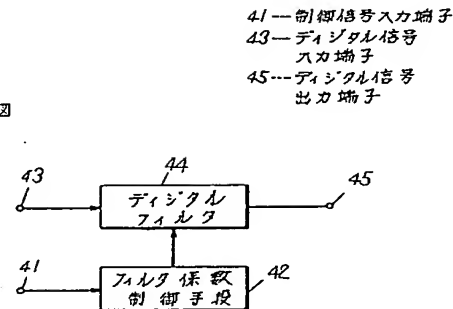
第 3 図



第 4 図



第 5 図



501—デジタル信号入力端子
502, 504, 506, 507, 511—乗算器
503, 505, 508, 510—遅延器
507—加算器

第 6 図

